

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-129887

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.⁸

識別記号

弁内整理番号

F I

技術表示箇所

G 1 1 C 11/409

G 1 1 C 11/ 34

3 5 3 E

審査請求 有 請求項の数6 O L (全 9 頁)

(21)出願番号 特願平6-267212

(22)出願日 平成6年(1994)10月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 越川 康二

東京都港区芝五丁目7番1号 日本電気株式会社内

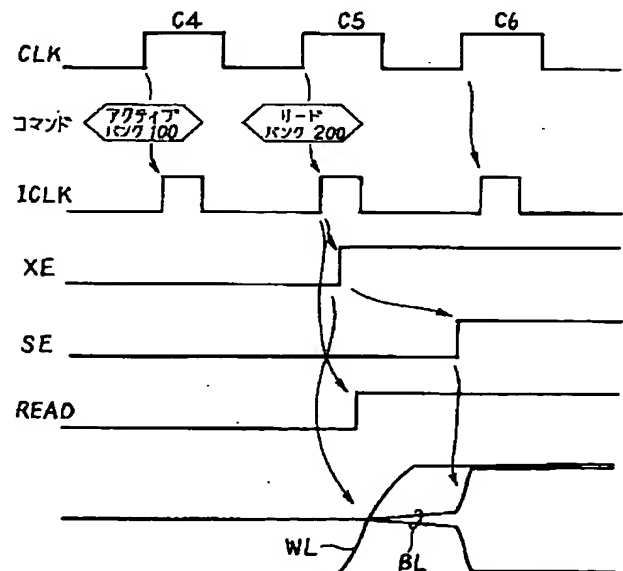
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 同期型半導体記憶装置およびセンス制御方法

(57)【要約】

【目的】 他バンクの動作から受けるノイズの影響が、外部クロックの周波数に依存しない同期型半導体記憶装置を提供する。

【構成】 サイクルC4でバンク200にアクティブコマンドが入力されると、次のサイクルC5での内部クロックI CLKに同期して内部信号X Eがハイレベルとなり、行選択線W Lが選択され、ビット線対にメモリセルデータに応じた差電位が生じる。更に内部信号X Eからある一定のディレイをもって内部信号S Eがハイレベルとなり、ビット線対の差電位が増幅される。これらの一連のセンス動作と並行してサイクルC5でバンク100にリードコマンドが入力されると、内部信号R EADがハイレベルとなり、バンク100の読みだし動作が開始される。



【特許請求の範囲】

【請求項 1】 セルアレイが複数のバンクに分割された同期型半導体記憶装置のセンス制御方法において、第 1 の外部クロック入力で行アドレス選択からセンスまでの一連の動作を開始させ、該行アドレス選択からセンスまでの一連の動作終了までの経路の少なくとも一箇所を、前記第 1 の外部クロック入力以降の第 2 の外部クロック入力に同期して動作させることを特徴とする同期型半導体記憶装置のセンス制御方法。

【請求項 2】 行選択線の選択が、前記第 2 の外部クロック入力に同期して行われる請求項 1 記載の同期型半導体記憶装置のセンス制御方法。

【請求項 3】 センス動作の開始が、前記第 2 の外部クロック入力か、前記第 2 の外部クロック入力以降の第 3 の外部クロック入力に同期して行われる請求項 1 または 2 記載の同期型半導体記憶装置のセンス制御方法。

【請求項 4】 第 1 のバンクにおいて前記第 1 の外部クロック入力で行アドレス選択からセンスまでの一連の動作が開始され、第 1 のバンク以外の第 2 のバンクにおいて前記第 2 または第 3 の外部クロック入力で行アドレス選択からセンスまでの一連の動作が開始される請求項 1 から 3 のいずれか 1 項記載の同期型半導体記憶装置のセンス制御方法。

【請求項 5】 セルアレイが複数のバンクに分割された同期型半導体記憶装置において、各バンクは、セルアレイと、行選択制御信号を入力し、外部クロックに同期して行選択開始信号を出力するラッチ回路と、該行選択信号を入力し、センス開始信号を出力するディレイ回路と、行アドレス信号と、前記行選択開始信号を入力し、行選択線を選択する行アドレスデコードと、少なくとも前記センス開始信号とビット線対の信号を入力するセンスアンプとを含むことを特徴とする同期型半導体記憶装置。

【請求項 6】 セルアレイが複数のバンクに分割された同期型半導体記憶装置において、各バンクは、セルアレイと、行選択制御信号を入力し、外部クロックに同期して行選択開始信号を出力する第 1 のラッチ回路と、該行選択開始信号を入力し、外部クロックに同期してセンス開始信号を出力する第 2 のラッチ回路と、行アドレス信号、前記行選択開始信号を入力し、行選択線を選択する行アドレスデコードと、少なくとも前記センス開始信号、ビット線対の信号を入力するセンスアンプとを含むことを特徴とする同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は同期型半導体記憶装置に関し、特に同期型ダイナミック RAM のセンス制御方法に関する。

【0002】

【従来の技術】 近年、CPU の高速化に伴い、半導体記憶装置の高速化を要望する声が高まっている。しかし、プロセス微細化の物理的限界や、大容量化に伴うチップサイズの増大等により、この要望は必ずしも果たせているとは言えない。そこで、この問題を打破する一つの手段として、内部パイプライン構造を持つ同期型半導体記憶装置が提案されている（特開昭 61-148692 号「記憶装置」、特願平 4-67795 号「半導体メモリ装置」）。

10 【0003】 また、ダイナミック RAM 特有のプリチャージタイム（tRP）によるタイムロスを防ぎパフォーマンスを向上させるため、内部に複数のバンクを持つ同期型半導体記憶装置も提案されている。

【0004】 この従来の同期型半導体記憶装置は、一例として図 5 に示すように、外部端子 CLK、CKE の信号を入力し内部クロック ICLK を出力する内部クロック発生回路 1 と、複数の外部アドレス端子 ADD、A11、外部端子 CSB の信号を入力し、内部クロック ICLK に同期してアドレス信号 IADD を出力するアドレスラッチ回路 5 と、外部端子 CSB、RASB、CASB、WEB、DQM、外部アドレス端子 A11 の信号を入力し、内部クロック ICLK に同期して、内部信号 ARAS、BRAS（行選択制御信号）、CAS（列選択制御信号）、READ（読み出し信号）、WRITE（書き込み信号）、BANK（バンク活性化信号）を出力するコマンドデコード 6 と、アドレス信号 IADD、内部信号 ARAS、BRAS を入力し、行アドレス信号 XADD を出力する行アドレスバッファ 2 と、アドレス信号 IADD、内部信号 CAS を入力し、アドレス信号 YADD1 を出力する列アドレスバッファ 3 と、アドレス信号 YADD1 を入力し、アドレス信号 YADD2 を出力する列アドレスデコード 4 と、内部信号 READ を入力し、内部クロック ICLK に同期して内部信号 DE を出力するデータアンプ活性化回路 7 と、外部端子 DQ から書き込みデータを入力し、内部信号 DI を出力するライトインバッファ 18 と、内部信号 DI、WRITE を入力し、内部クロック ICLK に同期して内部バス対 RWバスに書き込みデータを出力するラッチ回路 16 と、アドレス信号 XADD、YADD2、内部クロック ICLK、内部信号 ARAS、DE、BANK、内部バス対 RWBUS（書き込みデータ、読み出しデータの両方の伝達に用いる）のデータを入力するバンク 100 と、行アドレス信号 XADD、YADD2、内部クロック ICLK、内部信号 BRAS、DE、内部信号 BANK の反転信号、内部バス対 RWBUS を入力するバンク 200 とで構成されている。

【0005】 また、バンク 100 は、セルアレイ 11 と、内部信号 ARAS を入力し、内部信号 XE を出力するディレイ素子 DL2 と、内部信号 XE を入力し、内部信号 SE を出力するディレイ素子 DL1 と、アドレス信

号XADD、内部信号XEを入力し、行選択線WLを選択する行アドレスデコード9と、アドレス信号YADD2、内部信号BANKを入力し、内部クロックICLKに同期してビット線対BLを選択するラッチ回路8と、内部バス対RWBUS、内部信号BANKを入力し、内部信号WIを出力するライトアンプ14と、内部信号WI、SE、ビット線対BLを入力し、内部信号ROを出力するセンスアンプ12と、内部信号RO、DE、BANKを入力し、内部バス対RWBUSに読みだしデータを出力するデータアンプ13とで構成されており、バンク200は、バンク100に対し、内部信号ARASに代わって内部信号BRASが、内部信号BANKに代わって内部信号BANKの反転した信号が入力する以外はバンク100と同じ構成であり、同一の構成要素に対しては同じ符号を付している。

【0006】ここで、列アドレス入力から読みだしデータ出力までの読みだしパスは、アドレスラッチ回路5からラッチ回路8までのパイプライン1段目、ラッチ回路8からラッチ回路15までのパイプライン2段目、ラッチ回路15から外部端子DQまでのパイプライン3段目と、外部クロックCLKに同期した3段のパイプライン構造となっており、書き込みのデータパスは、外部端子DQからラッチ回路16までのパイプライン1段目と、ラッチ回路16からセンスアンプ12までのパイプライン2段目までが、外部クロックCLKに同期したパイプライン構造で、それ以降メモリセルまでは、外部クロックCLKとは非同期にデータが書き込まれる。

【0007】次に、本同期型半導体記憶装置の使い方について説明する。

【0008】図6は読みだし方の一例について説明する波形図で、バースト長は1、CASレイテンシ（リードコマンドからデータ出力までに要するクロックのサイクル数）は3と呼ばれる動作を説明している。

【0009】サイクルC1の外部クロックCLKの立ち上がりエッジにおいて、各外部端子CKE、CSB、RASB、CASB、WEB、DQMをそれぞれハイレベル、ロウレベル、ロウレベル、ハイレベル、ハイレベル、ロウレベルでアクティブコマンドとし、バンク選択アドレスA11端子をロウレベルとしバンク100を選択、これによりバンク100がアクティブとなり、この時の行アドレスがADD1で、サイクルC1からC3にかけて該当する行選択線WLが選択されセンスが行われる。サイクルC4ではバンク選択アドレス端子A11をハイレベルとし、バンク200にアクティブコマンドを入力し、C4サイクルからC6サイクルにかけて該当する行選択線WLが選択されセンスが行われる。

【0010】サイクルC5で、各外部端子CKE、CSB、RASB、CASB、WEB、DQM及びバンク選択アドレスA11をそれぞれハイレベル、ロウレベル、ハイレベル、ロウレベル、ハイレベル、ロウレベル、ロ

ウレベルとし、バンク100にリードコマンドを入力すると、列アドレスADD3のデータが、サイクルC5からC7にかけて外部クロックCLKに同期して読みだされ、サイクルC7で外部端子DQにデータが出力される。

【0011】サイクルC6で、各外部端子CKE、CSB、RASB、CASB、WEB、DQM及びバンク選択アドレスA11をそれぞれハイレベル、ロウレベル、ロウレベル、ハイレベル、ロウレベル、ロウレベル、ロウレベルとし、バンク100にプリチャージコマンドを入力すると、サイクルC6からC8にかけてメモリセルにデータがプリチャージされる。

【0012】サイクルC7で、各外部端子CKE、CSB、RASB、CASB、WEB、DQM及びバンク選択アドレスA11をそれぞれハイレベル、ロウレベル、ハイレベル、ロウレベル、ハイレベル、ロウレベル、ハイレベルとし、バンク200にリードコマンドを入力すると、サイクルC7からC9にかけて外部クロックCLKに同期して読みだしが行われ、サイクルC9で外部端子DQにデータが出力される。

【0013】サイクルC9で、各外部端子CKE、CSB、RASB、CASB、WEB、DQM及びバンク選択アドレスA11をそれぞれ、ハイレベル、ロウレベル、ロウレベル、ハイレベル、ロウレベル、ロウレベル、ハイレベルとし、バンク200にプリチャージコマンドを入力すると、サイクルC9からC11にかけてメモリセルにデータがプリチャージされる。

【0014】アクティブ、プリチャージは、外部クロックCLKとは非同期であるが、3サイクル程度の時間が必要とし、リードは、外部クロックCLKに同期するため3クロックサイクルが必要である。また、アクティブ、プリチャージ動作中に、既にセンスが完了している他バンクでリード動作を行うことは可能であり、これによりダイナミックRAM特有のプリチャージタイム（tRP）を隠し、パフォーマンスを上げることができる。

【0015】2つのバンクで並行に動作する場合の一例として、図7にサイクルC4からC6の内部波形図を示す。

【0016】サイクルC4でバンク200にアクティブコマンドが入力されると、ある一定のディレイをもって内部信号XEがハイレベルとなり、行選択線WLが選択され、ビット線対にメモリセルデータに応じた差電位が生じる。さらに、内部信号XEからある一定のディレイをもって内部信号SEがハイレベルとなり、ビット線対の差電位が増幅される。これらの一連のセンス動作と並行してサイクルC5でバンク100にリードコマンドが入力されると、内部信号READがハイレベルとなり、バンク100の読みだし動作が開始される。

【0017】この従来技術に近いもので公に知られるものとして、特開昭57-195382号「半導体メモリ

一装置」があり、同期型スタティックRAMにおいて、内部クロックを用いてプリチャージ用クロック、センス用クロックを発生させ制御する技術が知られている。しかし、この同期型スタティックRAMにおいても、プリチャージまたはセンスの開始命令となるコマンド入力時の外部クロックから内部クロック、プリチャージ用クロック、センス用クロックを発生させている。

【0018】

【発明が解決しようとする課題】この従来の同期型半導体記憶装置では、行選択線の選択、センス完了までのアクティブ動作は、アクティブコマンド入力以後、外部クロックとは非同期に複数のクロックサイクルにかけて行われ、また、アクティブコマンド入力の次サイクルで、既にセンスが完了している他バンクにリードコマンドを入力し、読みだし動作が開始されうる構成となっていたので、アクティブ動作中のビット線対差電位が微小差電位である間に、他バンクの読みだし動作で発生したノイズが重なり、ビット線対差電位を反転させてしまう可能性があるが、ビット線対の制御はアクティブコマンド入力サイクルから一定のディレイ時間をもって開始されるのに対し、読みだし動作は、アクティブコマンド入力サイクルの次のサイクルから開始されるため、ビット線対へのノイズの影響は、外部クロックの周波数（サイクル時間）によって異なるという問題があった。

【0019】このため、良／不良を選別する際、周波数（サイクル時間）を微妙に変えた多くの試験を施さねばならず、試験時間が増大する。今後、半導体記憶装置の大容量化に伴い、バンク数も増える傾向にあるため、並行動作するバンクの組み合わせも増え、試験時間もそれに伴って長くなり、試験コストの増大が無視できなくなりつつある。

【0020】また、たとえ周波数（サイクル時間）を微妙に変えた多くの試験を施したとしても、完全に不良を検出するのは不可能であるという問題があった。

【0021】本発明の目的は、他バンクの動作から受けるノイズの影響が、外部クロックの周波数に依存しない同期型半導体記憶装置のセンス制御方法および同期型半導体記憶装置を提供することにある。

【0022】

【課題を解決するための手段】本発明の同期型半導体記憶装置のセンス制御方法は、第1の外部クロック入力で行アドレス選択からセンスまでの一連の動作を開始させ、該行アドレス選択からセンスまでの一連の動作終了までの経路の少なくとも一箇所を、前記第1の外部クロック入力以降の第2の外部クロック入力に同期して動作させることを特徴とする。

【0023】行選択線の選択が、前記第2の外部クロック入力に同期して行われても良く、センス動作の開始が、前記第2の外部クロック入力か、前記第2の外部クロック入力以降の第3の外部クロック入力に同期して行

われても良い。

【0024】また、第1のバンクにおいて前記第1の外部クロック入力で行アドレス選択からセンスまでの一連の動作が開始され、第1のバンク以外の第2のバンクにおいて前記第2または第3の外部クロック入力で第1のバンクとは異なる動作が開始されても良い。

【0025】本発明の同期型半導体記憶装置は、各バンクは、セルアレイと、行選択制御信号を入力し、外部クロックに同期して行選択開始信号を出力するラッチ回路と、該行選択信号を入力し、センス開始信号を出力するディレイ回路と、行アドレス信号、前記行選択開始信号を入力し、行選択線を選択する行アドレスデコードと、少なくとも前記センス開始信号とビット線対の信号を入力するセンスアンプとを含むことを特徴とする。

【0026】本発明の他の同期型半導体記憶装置は、各バンクが、セルアレイと、行選択制御信号を入力し、外部クロックに同期して行選択開始信号を出力する第1のラッチ回路と、該行選択開始信号を入力し、外部クロックに同期して、センス開始信号を出力する第2ラッチ回路と、行アドレス信号、前記行選択開始信号を入力し、行選択線を選択する行アドレスデコードと、少なくとも前記センス開始信号とビット線対の信号を入力するデータアンプとを含むことを特徴とする。

【0027】

【作用】アクティブコマンド入力後、他バンクにリードコマンド等を入力しうるサイクルの外部クロックに同期して、行選択線の選択、ビット線対差電位の増幅が行われるので、他バンクの読みだし動作等からのノイズは、外部クロックの周波数（サイクル時間）によらず、常に同じタイミングで受けるため、良、不良の選別が容易で、しかも確実に選別できる。

【0028】また、リードコマンド入力後の読みだし時に、リードコマンドの前サイクルで入力されたアクティブコマンド等からのアクティブ動作から受けるノイズも、外部クロックの周波数（サイクル時間）によらず、常に読みだし期間中に同じタイミングで受ける。

【0029】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0030】図1は本発明の一実施例の半導体記憶装置を示すブロック図である。

【0031】バンク100は、セルアレイ11と、内部信号ARASを入力し、内部クロックICLKに同期して、内部信号XEを出力するラッチ回路10と、内部信号XEを入力し、内部信号SEを出力するディレイ素子DL1と、アドレス信号XADD、内部信号XEを入力し、行選択線WLを選択する行アドレスデコード9と、アドレス信号YADD2、内部信号BANKを入力し、内部クロックICLKに同期してビット線対BLを選択するラッチ回路8と、内部バス対RWBUS、内部信号

BANKを入力し、内部信号WIを出力するライトアンプ14と、内部信号WI、SE、ビット線対BLを入力し、内部信号ROを出力するセンスアンプ12と、内部信号RO、DE、BANKを入力し、内部バス対RWBUSに読みだしデータを出力するデータアンプ13とで構成されており、バンク200は、バンク100に対し、内部信号ARASに代わって内部信号BRASが、内部信号BANKに代わって内部信号BANKの反転した信号が入力する以外はバンク100と同じ構成であり、同一の構成要素に対しては同じ符号を付加している。

【0032】また、バンク100、バンク200以外は、図5に示す従来例と同一の構成であり、やはり同一の構成要素に対しては同じ符号を付加している。

【0033】次に、本実施例の動作について説明する。

【0034】図2は図1に示した実施例の動作について説明する動作波形図で、2つのバンクで並行に動作する場合の一例として、サイクルC4からC6の内部波形図を示している。

【0035】サイクルC4でバンク200にアクティブコマンドが入力されると、次のサイクルC5での内部クロックICKLKに同期して内部信号XEがハイレベルとなり、行選択線WLが選択され、ビット線対にメモリセルデータに応じた差電位が生じる。更に内部信号XEからある一定のディレイをもって内部信号SEがハイレベルとなり、ビット線対の差電位が増幅される。これらの一連のセンス動作と並行してサイクルC5でバンク100にリードコマンドが入力されると、内部信号READがハイレベルとなり、バンク100の読みだし動作が開始される。

【0036】バンク200で行選択線を選択し、ビット線に微小差電位が生ずると、バンク100の読みだし動作開始は、いずれもサイクルC5での内部クロックICKLKに同期している。

【0037】このため、ビット線対に生じた微小差電位が、他バンクから受けるノイズの影響は、外部クロックの周波数(サイクル時間)依存を持たず、常に同様な受け方となる。

【0038】行選択線を選択しセンスを完了するまでのアクティブ動作は、外部クロック3サイクル程度の時間を必要とするので、本実施例の場合、外部クロック1サイクルと、その後外部クロック2サイクル分の時間がアクティブ動作に必要となる。

【0039】このアクティブ動作に必要な時間は、図5に示した従来例と同様で、また、アクティブ動作中も外部クロックをクロッキング(一定の周波数で動作させる)させたままとする使い方が一般的であるので、図5に示した従来例と比べ、使い勝手やパフォーマンスが劣ることはない。

【0040】図3は本発明の他の実施例を示すブロック

図である。

【0041】バンク100は、セルアレイ11と、内部信号ARASを入力し、内部クロックICKLKに同期して、内部信号XEを出力するラッチ回路10と、内部信号XEを入力し、内部クロックICKLKに同期して、内部信号SEを出力するラッチ回路19と、アドレス信号XADD、内部信号XEを入力し、行選択線WLを選択する行アドレスデコーダ9と、アドレス信号YADD2、内部信号BANKを入力し、内部クロックICKLKに同期してビット線対BLを選択するラッチ回路8と、内部バス対RWBUS、内部信号BANKを入力し、内部信号WIを出力するライトアンプ14と、内部信号WI、SE、ビット線対BLを入力し、内部信号ROを出力するセンスアンプ12と、内部信号RO、DE、BANKを入力し、内部バス対RWBUSに読みだしデータを出力するデータアンプ13とで構成されている。

【0042】図示しないバンク200は、バンク100に対し、内部信号ARASに代わって内部信号BRASが、内部信号BANKに代わって内部信号BANKの反転した信号が入力する以外はバンク100と同じ構成であり、また、バンク100、バンク200以外の回路ブロックも図示しないが、図5に示す従来例と同一の構成である。

【0043】次に、本実施例の動作について説明する。

【0044】図4は図3に示した実施例の動作について説明する動作波形図で、2つのバンクで並行に動作する場合の一例として、サイクルC4からC6の内部波形図を示している。

【0045】サイクルC4でバンク200にアクティブコマンドが入力されると、次のサイクルC5での内部クロックICKLKに同期して内部信号XEがハイレベルとなり、行選択線WLが選択され、ビット線対にメモリセルデータに応じた差電位が生じる。更にサイクルC6での内部クロックICKLKに同期して内部信号SEがハイレベルとなり、ビット線対の差電位が増幅される。これらの一連のセンス動作と並行してサイクルC5でバンク100にリードコマンドが入力されると、内部信号READがハイレベルとなり、バンク100の読みだし動作が開始され、サイクルC6での内部クロックICKLKに同期して内部信号DEがハイレベルとなりデータアンプ13が活性化される。データアンプ13が活性化されると、読みだしデータは、内部バス対RWBUSに伝達される。

【0046】ここで、読みだしの高速化のために、内部バス対RWBUSのデータは、対となっているRWBUSに微小差電位をつけて伝達し、内部バス対RWBUSが入力するラッチ回路15で再び増幅する。この場合、微小差電位である内部バス対RWBUSは、他バンクで並行して動作しているセンス動作からのノイズを受けてデータ反転する危険があるが、内部信号SEによるセン

ス動作は、サイクルC 6での内部クロック ICLKに同期しているので、このノイズの影響も外部クロックの周波数（サイクル時間）依存を持たない。

【0047】本実施例の場合、外部クロック 2 サイクルと、その後外部クロック 1 サイクル分の時間がアクティブ動作に必要となる。

【0048】以上、バンクの数が 2 つの場合について説明したが、バンクの数が 3 つ以上の場合も同様である。

【0049】

【発明の効果】以上説明したように本発明は、アクティブコマンド入力後、他バンクにリードコマンド等を入力しうるサイクルの外部クロックに同期して、行選択線の選択、ビット線対差電位の増幅が行われるよう構成したので、他バンクの読みだし動作等からのノイズは、外部クロックの周波数（サイクル時間）によらず、常に同じタイミングで受けるため、良不良の選別が容易で、しかも確実に選別できるという効果を奏する。

【0050】また、リードコマンド入力後の読みだし時に、リードコマンドの前サイクルで入力されたアクティブコマンド等からのアクティブ動作から受けるノイズも、外部クロックの周波数（サイクル時間）によらず、常に読みだし期間中に同じタイミングで受けるという効果を有する。

【図面の簡単な説明】

【図 1】本発明の一実施例の半導体記憶装置を示すブロック図である。

【図 2】図 1 に示す実施例の動作を説明する動作波形図である。

【図 3】本発明の他の実施例の半導体記憶装置を示すブ

ロック図である。

【図 4】図 3 に示す実施例の動作を説明する動作波形図である。

【図 5】従来例を示すブロック図である。

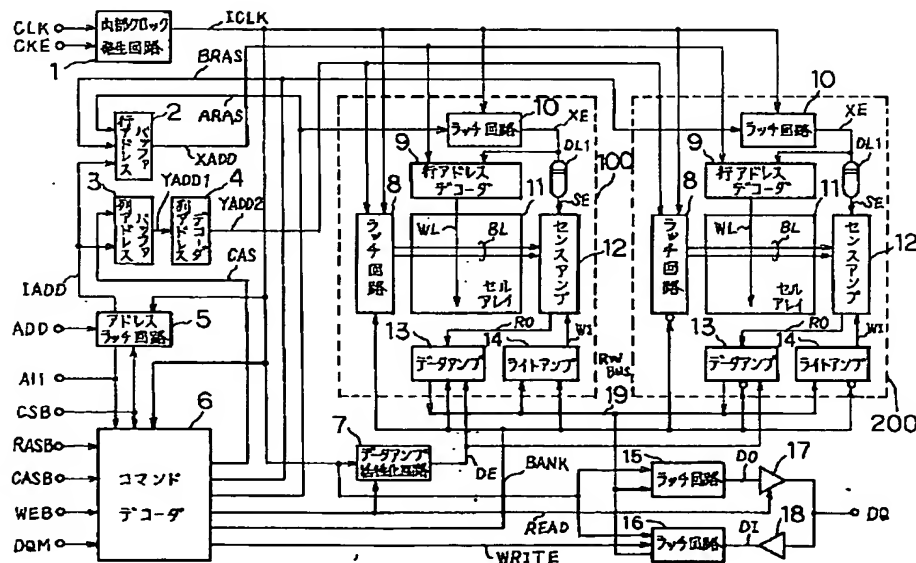
【図 6】図 5 に示す従来例の動作を説明する動作波形図である。

【図 7】図 5 に示す従来例の動作を説明する動作波形図である。

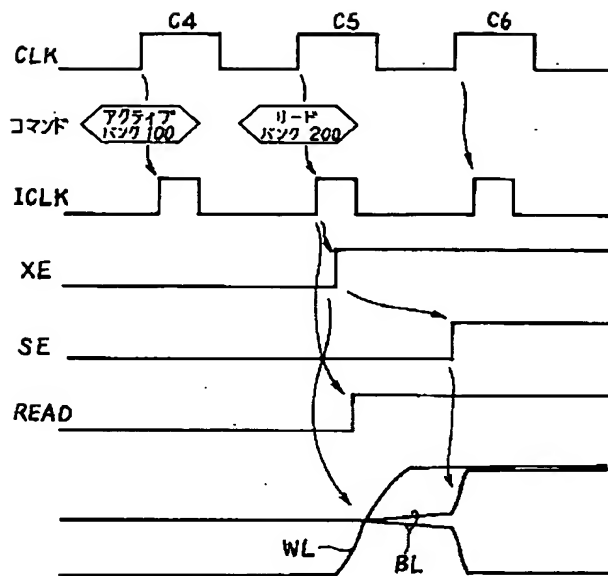
【符号の説明】

- | | |
|---------------|-------------|
| 1 | 内部クロック発生回路 |
| 2 | 行アドレスバッファ |
| 3 | 列アドレスバッファ |
| 4 | 列アドレスデコーダ |
| 5 | アドレスラッチ回路 |
| 6 | コマンドデコーダ |
| 7 | データアンプ活性化回路 |
| 8、10、15、16、19 | ラッチ回路 |
| 9 | 行アドレスデコーダ |
| 11 | セルアレイ |
| 12 | センスアンプ |
| 13 | データアンプ |
| 14 | ライトアンプ |
| 17 | データアウトバッファ |
| 18 | ライトインバッファ |
| 19 | RWバス |
| 100 | バンク |
| 200 | バンク |
| DL1、DL2 | ディレイ素子 |

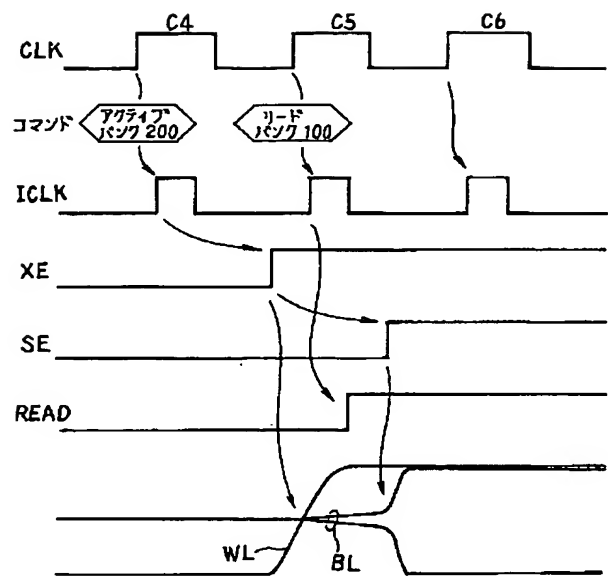
【図 1】



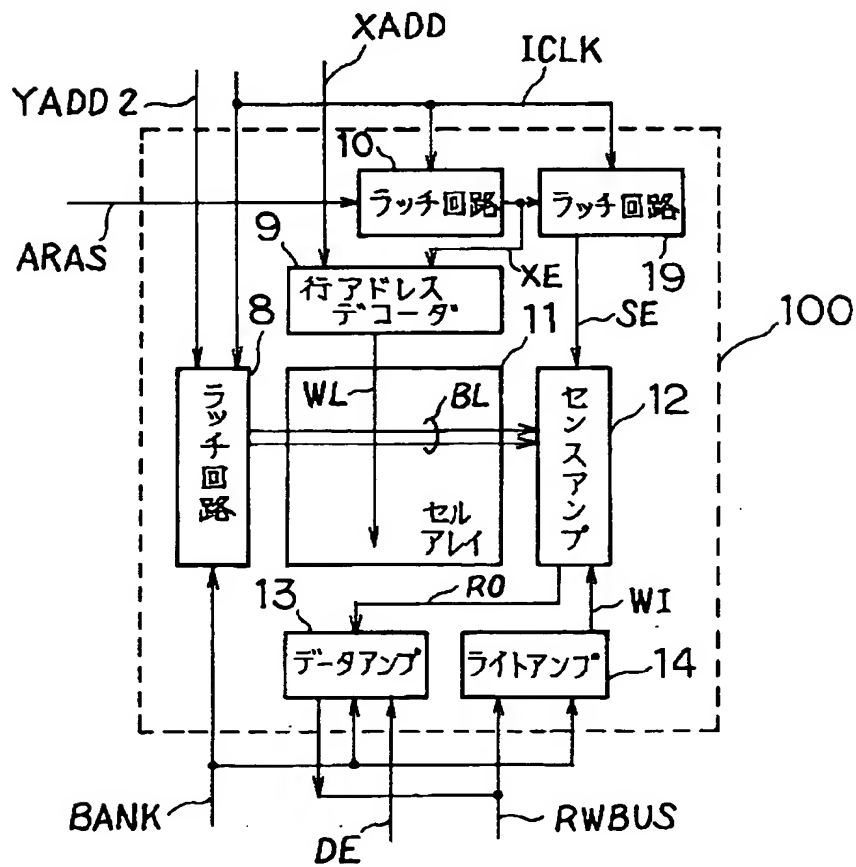
【図 2】



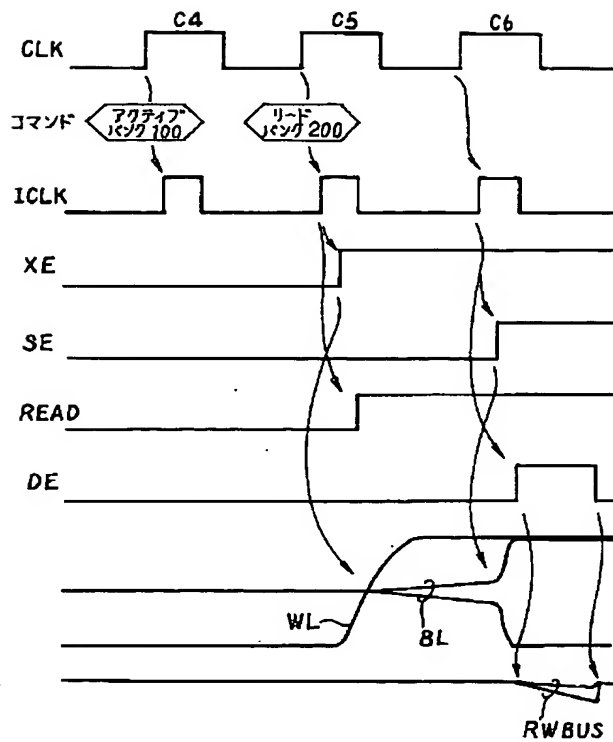
【図 7】



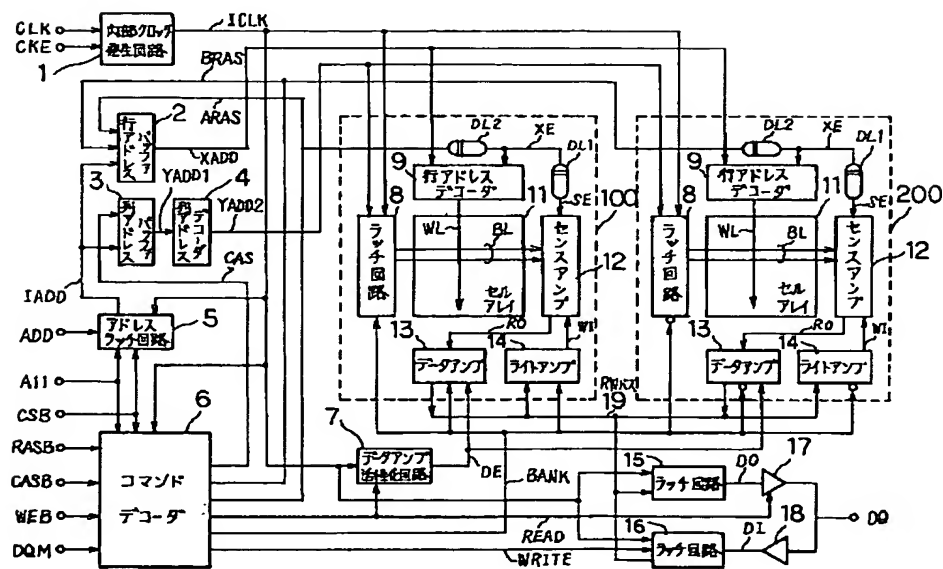
【図 3】



【図 4】



【図 5】



【図 6】

